

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **06-102528**
(43)Date of publication of application : **15.04.1994**

(51)Int.Cl. **G02F 1/136**
H01L 29/784

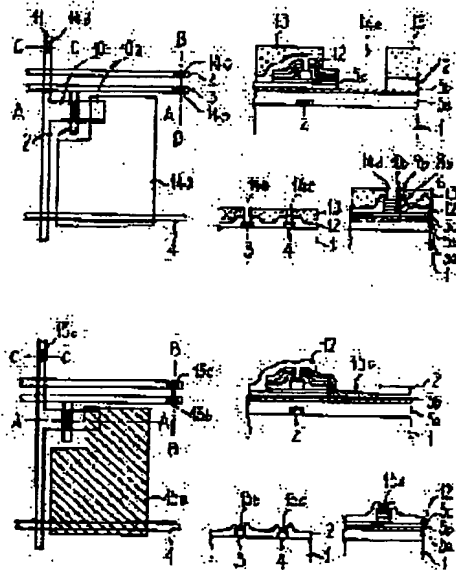
(21)Application number : **04-248454** (71)Applicant : **FUJITSU LTD**
(22)Date of filing : **18.09.1992** (72)Inventor : **HOSHINO ATSUYUKI**

(54) PRODUCTION OF THIN-FILM TRANSISTOR MATRIX

(57)Abstract:

PURPOSE: To lead out the terminals of bus lines with one time of photolithography stage in the process for production of a thin-film transistor matrix.

CONSTITUTION: This process for production is so constituted as to have a stage for forming gate electrodes 2 and gate bus lines 3 connected thereto on a transparent insulating substrate 1, a stage for forming gate insulating films 5a, 5b, 5c of a multilayered structure including the insulating film serving as an etching stop layer at the time of etching a protective film in regions exclusive of the ends of the gate bus lines 3, a stage for forming the protective film 12 over the entire surface after the element formation and forming a mask 13 having apertures 14a to 14d in pixel electrode forming regions, the ends of the gate bus lines and the ends of drain bus lines on the protective film 12 and a stage for depositing a transparent conductive film over the entire surface after removal of the protective film 12 by etching from the aperture and forming the pixel electrodes 15a to be connected to source electrodes 10a, gate bus line contact parts 15b and drain bus line contact parts 15d.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-102528

(43)公開日 平成6年(1994)4月15日

(51)Int.Cl.⁵

G 0 2 F 1/136

H 0 1 L 29/784

識別記号

5 0 0

庁内整理番号

9018-2K

9056-4M

F I

H 0 1 L 29/ 78

技術表示箇所

3 1 1 A

審査請求 本請求 請求項の数3(全 8 頁)

(21)出願番号 特願平4-248454

(22)出願日 平成4年(1992)9月18日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 星野 淳之

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

(54)【発明の名称】 薄膜トランジスタマトリックスの製造方法

(57)【要約】

【目的】 薄膜トランジスタマトリックスの製造方法に関し、バスラインの端子出しを1回のフォトリソグラフィ工程で行う方法の提供を目的とする。

【構成】 透明絶縁性基板1上にゲート電極2とそれに接続するゲートバスライン3を形成する工程と、保護膜エッチングの際エッチングストップ層となる絶縁膜を最上層または中間層とする多層構造のゲート絶縁膜5a、5b、5cをゲートバスライン3端部を除く領域に形成する工程と、素子形成を行った後、全面に保護膜12を形成し、保護膜12上に画素電極形成領域、ゲートバスライン端部及びドレインバスライン端部に開孔を有するマスク13を形成する工程と、開孔から保護膜12をエッチングして除去した後、全面に透明導電膜を堆積してソース電極に接続する画素電極15a、ゲートバスラインコンタクト部15b、ドレインバスラインコンタクト部15dを形成する工程を有するように構成する。

第1の実施例を示す工程順平面図と断面図(その2)

